

CLIPPEDIMAGE= JP405114574A

PAT-NO: JP405114574A

DOCUMENT-IDENTIFIER: JP 05114574 A

TITLE: MANUFACTURE OF SEMICONDUCTOR DEVICE

PUBN-DATE: May 7, 1993

INVENTOR-INFORMATION:

NAME

KOSEMURA, KINSHIRO

ASSIGNEE-INFORMATION:

NAME

FUJITSU LTD

COUNTRY

N/A

APPL-NO: JP03274399

APPL-DATE: October 23, 1991

INT-CL (IPC): H01L021/28;H01L021/302 ;H01L021/338
;H01L029/812

US-CL-CURRENT: 438/694, 438/951 , 438/FOR.455

ABSTRACT:

PURPOSE: To accelerate the melting rate of resist pattern for rapidly performing a lift-off step in relation to the lift-off step using a resist pattern.

CONSTITUTION: The title manufacturing method having the lift-off step wherein, after the formation of a resist pattern 1 on a substrate 4, a layer 2 to be processed is deposited and then the resist pattern 1 is removed for patterning the layer 2 to be processed is characterized by the formation of the positive type resist pattern 1 as well as the exposure step of the resist pattern 1 after the deposition of the layer 2 to be processed and

before the beginning of
the lift-off step.

COPYRIGHT: (C)1993, JPO&Japio

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-114574

(43)公開日 平成5年(1993)5月7日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/28		G 7738-4M		
21/302		K 7353-4M		
21/338				
29/812				
		7739-4M	H 0 1 L 29/ 80	B
			審査請求 未請求 請求項の数1(全 4 頁)	

(21)出願番号 特願平3-274399

(22)出願日 平成3年(1991)10月23日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 小瀬村 欣司郎

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 井桁 貞一

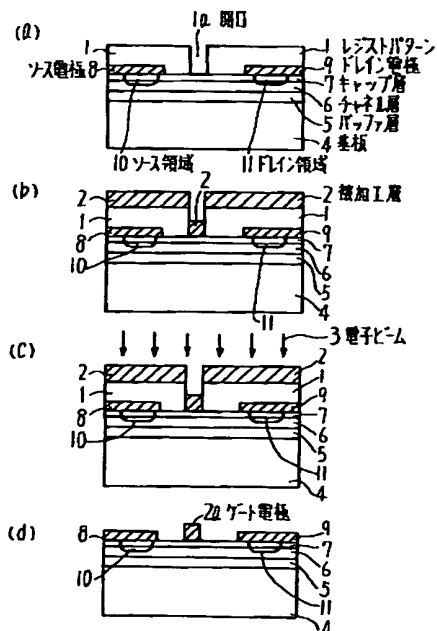
(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【目的】 レジストパターンを用いたリフトオフの方法に関し、レジストパターンの溶解速度を高め、迅速にリフトオフを行うことを目的とする。

【構成】 基板4上にレジストパターン1を形成した後被加工層2を堆積し、次いでレジストパターン1を除去して被加工層2をパターンニングするリフトオフ工程を有する半導体装置の製造方法において、レジストパターン1はポジ型レジストからなり、被加工層2を堆積した後であってリフトオフ工程前にレジストパターン1を露光する工程を有することを特徴とする半導体装置の製造方法。

本発明の実施例工程図



【特許請求の範囲】

【請求項1】 基板(4)上にレジストパターン(1)を形成した後に該基板(4)及び該レジストパターン(1)上に被加工層(2)を堆積し、次いで該レジストパターン(1)を除去して該被加工層(2)をパターンニングするリフトオフ工程を有する半導体装置の製造方法において、

該レジストパターン(1)はポジ型レジストからなり、該被加工層(2)を堆積した後であって該リフトオフ工程前に該レジストパターン(1)を露光する工程を有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は半導体装置の製造方法に関し、特にレジストパターンを用いたリフトオフの方法に関する。

【0002】リフトオフは半導体装置の製造工程を簡便にする手段として、各種パターンの形成に広く用いられている。しかし、リフトオフではレジストパターン上の被加工層を除去するために、被加工層で被覆されたレジストパターンを溶解、除去することが必要である。

【0003】このため、被覆されたレジストパターンを迅速に溶解することができるリフトオフの方法が要望されている。

【0004】

【従来の技術】リフトオフは、基板上に塗布されたレジスト膜を露光、現像してレジストパターンを形成し、続いてレジストパターンの上から被加工層、例えば金属層を堆積し、レジストを溶解する液中に浸漬してレジストを溶解せしめ、レジスト上の被加工層をレジストとともに除去することにより、レジストのない領域に被加工層のパターンを残す薄膜のパターンニング方法である。

【0005】従来のリフトオフでは、レジストパターンの上から被加工層を堆積したのち、直ちにレジストを溶解する液中に浸漬してレジストを溶解せしめ、レジスト上の被加工層を除去していた。

【0006】かかるレジストの溶解はレジストパターンの端面から始まり、被加工層に被覆された内部へと進行する。しかるに、パターンが微細になると、分解能を向上するためレジストも薄くする必要がある。従って、微細なパターンでは薄いレジストが用いられるから、レジストを溶解する液がレジストパターン端面から内部まで容易には浸透せず、レジストパターン内部の溶解が遅くなるのである。

【0007】

【発明が解決しようとする課題】上述した様に、従来のリフトオフを用いた半導体装置の製造方法にあっては、パターンが微細になるとレジストを溶解する液がレジストパターン内部まで速やかに浸透し難くなり、レジストパターンの除去が遅くなるという欠点がある。

【0008】本発明は、レジストパターンを構成するレジスト材料を溶解し易い低分子の構造に変化させることにより、レジストパターンの溶解速度を高め、迅速にリフトオフを行うことのできる半導体装置の製造方法を提供することを目的とする。

【0009】

【課題を解決するための手段】図1は本発明の実施例工程図であり、ヘテロ接合MESFET(金属・半導体電界効果トランジスタ)の断面を表している。

【0010】上記課題を解決するための本発明の構成は、図1を参照して、基板4上にレジストパターン1を形成した後に該基板4及び該レジストパターン1上に被加工層2を堆積し、次いで該レジストパターン1を除去して該被加工層2をパターンニングするリフトオフ工程を有する半導体装置の製造方法において、該レジストパターン1はポジ型レジストからなり、該被加工層2を堆積した後であって該リフトオフ工程前に該レジストパターン1を露光する工程を有することを特徴として構成する。

【0011】

【作用】本発明の構成では、図1を参照して、レジストパターン1は予めパターンニングされたポジ型レジストからなり、該被加工層2の堆積後、リフトオフをするためにレジストを溶解、除去する前に、被加工層の上からレジストパターン1を露光する。

【0012】この露光により、レジストパターン1を構成するポジ型レジストの分子は分解されて、より小さな分子量の分子を生成する。このため、レジストパターンは容易に現像液或いはレジストを溶解する液に溶解するようになる。このため、レジストが薄い場合であってもレジストパターンは容易に溶解され除去されるから、迅速なリフトオフを実現することができるのである。

【0013】上記レジストパターンは通常の露光手段、例えば光露光、電子ビーム露光、X線露光を用いてレジストを除去する領域のみを露光、現像して形成される。従って、レジストパターンは通常の方法による通常の精密さで形成できる。このため、本発明に係るリフトオフで形成されたパターンは、通常のリフトオフと同じ精密さを有する。

【0014】他方、被加工層2の堆積後、リフトオフ前にするレジストパターンの露光は、例えば被加工層の上からレジストパターン全面についてなされる。この露光とレジストパターン形成のためにする露光とは異なる方法でもできる。例えば微細なレジストパターンを電子ビーム露光で形成し、後にレジストパターン全面にわたる露光を、X線露光又は光露光により一括して行うことにより、微細パターンを迅速にリフトオフすることができる。

【0015】なお、通常の被加工層は電子ビーム、X線に対して十分に薄く、露光の支障にはならない。勿論、

光露光によるときは被加工層が透明でなければならないのはいうまでもない。

【0016】また、レジストの溶解が促進される範囲で、レジストパターンの全面的な露光に代えて、部分的に露光することもできる。例えば、電子ビーム露光用レジストを用いて露光領域をスペース及びラインのパターン、又は矩形の露光パターンとすることができ、かかる例では、露光領域と未露光領域の面積比を50%以上とすることができる。

【0017】この露光方法によると、ビーム面積が限られるため全面的な露光では長時間を要する露光手段、例えば電子ビーム露光、又はシンクロトロン軌道放射光によるX線露光を用いる時の露光時間を短縮することができる。

【0018】

【実施例】本発明を実施例を参照して詳細に説明する。先ず、図1(a)を参照して、面方位(100)のInP基板4上に、順次厚さ200nmのAlInAsからなるバッファ層4、厚さ140nmのn型GaInAsからなるチャネル層6、厚さ50nmのAlInAsからなるキャップ層7を堆積し、チャネル層にオーミック接触するソース及びドレイン領域10、11をチャネル長を離して設ける。その後、ソース及びドレイン領域10、11上にそれぞれソース及びドレイン電極8、9を形成する。

【0019】次いで、ボジ型の電子ビーム露光用レジストを厚さ300nm塗布して、電子ビーム露光によりゲート電極を画定する開口1aを形成する。次いで、図1(b)を参照して、被加工層2として例えばAlを厚さ200nm蒸着する。

【0020】次いで、図1(c)を参照して、被加工層2上から基板全面にわたり電子ビーム露光を行う。次いで、図1(d)を参照して、有機溶剤に浸漬してレジス

トパターンを溶解し、開口1a部に被加工層2の一部をゲート電極2aとして残し、ヘテロ接合MESFETを製造するためのリフトオフを完了する。

【0021】本実施例では、従来の方法では略30~60分間を要したリフトオフ工程が、5分以下で完了し、リフトオフを迅速に行うことができる。また、本発明によればリフトオフに要する時間が短いから、リフトオフ中に発生する基板及びソース、ドレイン電極の損傷、剥離も少なくなるという効果を奏する。

【0022】

【発明の効果】本発明によれば、リフトオフにおいて溶解すべきレジストパターンを、リフトオフ前に露光してレジスト中に低分子量の分子を生成することにより、レジストパターンは溶解し易くなるから、リフトオフは短時間で完了し、迅速なリフトオフを行う半導体装置の製造方法を提供することができ、半導体装置の性能向上に寄与するところが大い。

【図面の簡単な説明】

【図1】 本発明の実施例工程図

【符号の説明】

- 1 レジストパターン
- 1a 開口
- 2 被加工層
- 2a ゲート電極
- 3 電子ビーム
- 4 基板
- 5 バッファ層
- 6 チャネル層
- 7 キャップ層
- 8 ソース電極
- 9 ドレイン電極
- 10 ソース領域
- 11 ドレイン領域

【図1】

本発明の実施例工程図

